

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256539

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 29/78  
H01L 21/318  
H01L 21/336

(21)Application number : 09-055275

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.03.1997

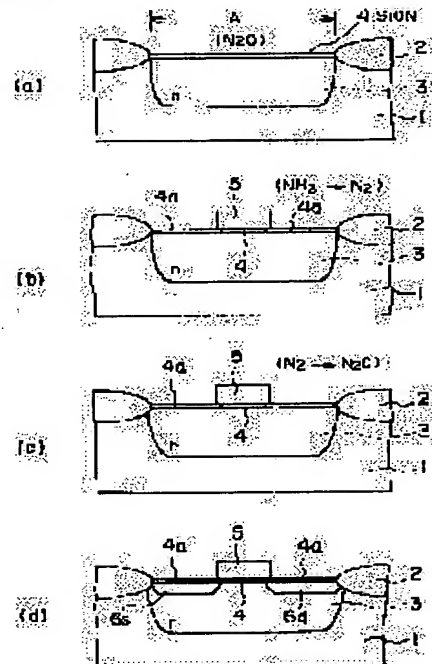
(72)Inventor : HORI MITSUAKI  
TAMURA NAOYOSHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To avoid the punch-through of impurity ions through a gate insulation layer to reduce the threshold variation of the driving voltage by providing an oxide nitride insulation layer which covers source/drain regions and has an N concn. distribution in a different layer thickness direction from that of the gate insulation film.

**SOLUTION:** A device is produced by forming an element separating oxide film 2, N-well 3, first Si oxide nitride layer 4 and gate electrode 5 on an Si substrate 1, heating the substrate in a quick heat treating chamber, exposing to an ammonia-contg. atmosphere, replacing it with N in the chamber to form a second high-N-concn. Si oxide nitride layer 4a at both sides of the gate electrode 5, the N concn. distribution in this layer 4a being different from that in the first Si oxide nitride layer 4 just beneath the gate electrode 5, and introducing a p-type impurity such as B to form a p-type source region 6s and drain region 6d.



## LEGAL STATUS

[Date of request for examination] 28.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by to have the gate insulating layer which consists of the 1st nitriding oxide formed on the semi-conductor substrate, the gate electrode which were formed on said gate insulating layer, the source / the drain field which were formed in said semi-conductor substrate of the method of both sides of said gate electrode, and the nitriding oxidation insulating layer which have nitrogen concentration distribution of the direction of thickness which is different from a bonnet and said gate insulating layer in said source / drain field among said semi-conductor substrate front faces.

[Claim 2] Said nitrogen concentration of said nitriding oxidation insulating layer is a semiconductor device according to claim 1 characterized by segregating to

the interface of said semi-conductor substrate and said nitriding oxidation insulating layer.

[Claim 3] The nitrogen concentration distribution in said gate insulating layer under said gate electrode is a semiconductor device according to claim 1 characterized by existing in the direction of thickness at broadcloth, without segregating to the interface of said semi-conductor substrate and said nitriding oxidization insulating layer.

[Claim 4] The nitrogen concentration distribution in said gate insulating layer under said gate electrode is a semiconductor device according to claim 1 characterized by segregating to the interface of said gate electrode and said gate insulating layer.

[Claim 5] The semiconductor device characterized by the gate insulating layer which it is formed on a semi-conductor substrate, and the nitrogen partition of the direction of thickness becomes from a broadcloth nitriding oxide, the gate electrode formed on said gate insulating layer, the source / drain field formed in said semi-conductor substrate of the method of both sides of said gate electrode, and having a wrap insulating layer for said source / drain field among said semi-conductor substrate front faces.

[Claim 6] Said insulating layer is a semiconductor device according to claim 5 characterized by being formed from silicon oxide.

[Claim 7] The process which forms the gate insulating layer which becomes the principal plane of a semi-conductor substrate from a nitriding oxide, The process which forms the nitriding oxidation insulating layer which has nitrogen concentration distribution of the different direction of thickness from said gate insulating layer in the principal plane of said semi-conductor substrate of the process which forms a gate electrode on said gate insulating layer, and the method of both sides of said gate electrode, The manufacture approach of the semiconductor device which uses said gate electrode as a mask and is characterized by having the process which introduces an impurity into said semi-conductor substrate, and forms a source field and a drain field.

[Claim 8] The manufacture approach of the semiconductor device according to claim 7 characterized by distributing the nitrogen concentration in said nitriding oxide over broadcloth to the direction of thickness in the process which forms said gate insulating layer.

[Claim 9] The manufacture approach of the semiconductor device according to claim 7 characterized by making the interface of said gate insulating layer and said gate electrode segregate the nitrogen concentration in said nitriding oxide in the process which forms said gate insulating layer.

[Claim 10] The manufacture approach of

the semiconductor device according to claim 7 characterized by making the interface of said nitriding oxidation insulating layer and said semi-conductor substrate segregate the nitrogen concentration in said nitriding oxidation insulating layer in the process which forms said nitriding oxidation insulating layer.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to a semiconductor device, the semiconductor device which has an MIS (metalinsulator semiconductor) mold field-effect transistor in more detail about the manufacture approach, and its manufacture approach.

#### [0002]

[Description of the Prior Art] The lamination of a gate insulating layer is progressing by detailed-izing of a semiconductor device in recent years, and high integration, and the omission to lowering of the hot carrier resistance of a semiconductor device and the substrate of the impurity contained in a gate electrode component poses a problem in connection with this. Generally an MIS mold field-effect transistor, for example, a

PMOS transistor, is drawing 9 (a). - (c) It is formed through a process as shown.

[0003] First, drawing 9 (a) It is a silicon substrate 101 so that it may be shown. Selective oxidation of the front face of a component isolation region is carried out, and it is the oxidizing zone (LOCOS) 102 for isolation. It forms and, subsequently is the oxidizing zone 102 for isolation. n mold impurity is introduced into the surrounded component formation field, and it is n mold well 103. It forms and, subsequently is a silicon substrate 101. A surface component formation field is oxidized thermally and it is the gate insulating layer 104. It forms.

[0004] Next, gate insulating layer 104 After reaching and forming a polycrystalline silicon layer on the oxidizing zone for isolation, patterning of the polycrystalline silicon layer is carried out with photolithography, and it is drawing 9 (b). It is the gate electrode 105 so that it may be shown. It forms. After that, it is drawing 9 (c). p mold impurities, such as boron, are introduced into the gate electrode 105 and a silicon substrate 1 with ion-implantation etc. so that it may be shown, and thereby, it is the gate electrode 105. While making conductivity high, it is the gate electrode 105. The low-concentration impurity diffused layers 106s and 106d are formed in the method of both sides.

[0005] Then, gate electrode 105 Sidewall 107 of insulation [ side ] After forming, it

is the gate electrode 105. And sidewall 107 It is used for a mask and is the gate electrode 105. The high-concentration impurity diffused layers 108s and 108d are formed in the side. It is LDD (lightly doped drain) by the high-concentration impurity diffused layers 107s and 107d and the low-concentration impurity diffused layers 106s and 106d. 109s of source fields of structure and 109d of drain fields are constituted.

[0006] By the way, gate insulating layer 104 Although the silicon oxidizing zone is used as an ingredient, when the ion implantation of the boron is carried out to a silicon substrate as an impurity, the impurity is the gate electrode 105. It runs and is n mold well 103. Surface n mold high impurity concentration is made to fall. For this reason, the low-concentration impurity diffused layers 106s and 106d and low-concentration n mold well 103 of p mold The pn junction to depend will be generated in a part deeper than that surface. Moreover, the MOS transistor requires improvement in much more hot carrier resistance as detailed-ization progresses.

[0007] It is nitriding silicon oxide (SiON) as a gate insulating layer from such a situation. By using a layer, there are a report of preventing the thrust omission of the boron ion in a gate electrode by the nitriding silicon oxide layer, and a report of forming a nitriding oxidizing zone in

the top face of a source field and a drain field among semi-conductor substrates, and raising hot carrier resistance.

[0008] Thus, in order to attain simultaneously two main objects using a nitriding silicon oxide layer, using a source field and a drain field as it is as a wrap insulating layer is performed in the nitriding silicon oxide layer formed as a gate insulating layer on the principal plane of a semi-conductor substrate. If a nitriding silicon oxide layer is formed on a drain field such, compared with a thermal oxidation silicon layer, it will become strong to a drain avalanche hot carrier. And when it is going to heighten such effectiveness, it is necessary to make high concentration of the nitrogen in a nitriding silicon oxide layer.

[0009] However, when many nitrogen is contained in the gate insulating layer, an electron hole or the electronic number of traps will increase, and the resistance of a channel hot electron or a channel hot hole will be weakened actually. Moreover, if nitrogen is introduced into a gate insulating layer, compared with the case where it is not introduced, the threshold voltage of transistor characteristics will shift in the negative direction.

[0010] Even if it makes hot carrier resistance high and uses it with low gate voltage in JP,5-211330,A as opposed to such a problem by making nitriding concentration of the nitriding silicon oxide layer of the semi-conductor

substrate of the source / drain field of a field-effect transistor deeper than the nitriding concentration of the nitriding silicon oxide layer under a gate electrode, it is indicated that the rate of current actuation becomes large.

[0011]

[Problem(s) to be Solved by the Invention] However, if the nitriding concentration of the insulating layer directly under a gate electrode is not high enough, since the thrust omission of a gate electrode and the boron ion in a gate insulating layer cannot be prevented, solution of such a problem is not expectable only by only making low nitriding concentration of the nitriding silicon oxide layer which constitutes a gate insulating layer.

[0012] The place made into the object of this invention is to offer the semiconductor device which can prevent the thrust omission of the gate insulating layer of impurity ion, and can make small variation in the threshold of the driver voltage of a transistor, and its manufacture approach while making hot carrier resistance still higher.

[0013]

[Means for Solving the Problem]

The gate insulating layer 4 which consists of the 1st nitriding oxide formed on the semi-conductor substrate 1 so that the above-mentioned technical problem may be illustrated to drawing 1, (Means) The gate electrode 5 formed on said gate

insulating layer 4, and the source / drain fields 6s and 6d which were formed in said semi-conductor substrate 1 of the method of both sides of said gate electrode 5. It solves with the semiconductor device characterized by having nitriding oxidation insulating-layer 4a which has nitrogen concentration distribution in the direction of thickness which is [ fields / said / source / drain fields 6s and 6d ] different in a bonnet and said gate insulating layer 4 among said semi-conductor substrate 1 front faces.

[0014] In the above-mentioned semiconductor device, said nitrogen concentration of said nitriding oxidation insulating-layer 4a is characterized by segregating to the interface of said semi-conductor substrate 1 and said nitriding oxidation insulating-layer 4a so that it may illustrate to drawing 4 - drawing 6 . In the above-mentioned semiconductor device, nitrogen concentration distribution in said gate insulating layer 4 under said gate electrode 5 is characterized by existing in the direction of thickness at broadcloth, without segregating to the interface of said semi-conductor substrate 1 and said nitriding oxidization insulating-layer 4a so that it may illustrate to drawing 3 .

[0015] In the above-mentioned semiconductor device, nitrogen concentration distribution in said gate insulating layer 4 under said gate

electrode 5 is characterized by segregating to the interface of said gate electrode 5 and said gate insulating layer 4. Moreover, the gate insulating layer 4 which the above-mentioned technical problem is formed on the semi-conductor substrate 1, and the nitrogen partition of the direction of thickness becomes from a broadcloth nitriding oxide. The gate electrode 5 formed on said gate insulating layer 4, and the source / drain fields 7s and 7d which were formed in said semi-conductor substrate 1 of the method of both sides of said gate electrode 5. It solves with the semiconductor device characterized by having a wrap insulating layer for said source / drain fields 7s and 7d among said semi-conductor substrate 1 front faces. In this case, said insulating layer is formed from silicon oxide.

[0016] Moreover, the above-mentioned technical problem is drawing 1 (a). - (d) So that it may illustrate The process which forms the gate insulating layer 4 which becomes the principal plane of the semi-conductor substrate 1 from a nitriding oxide. The process which forms nitriding oxidation insulating-layer 4a which has nitrogen concentration distribution of the direction of thickness which is different in said gate insulating layer 4 in the principal plane of said semi-conductor substrate 1 of the process which forms the gate electrode 5 on said gate insulating layer 4, and the method of

both sides of said gate electrode 5, It solves by the manufacture approach of the semiconductor device which uses said gate electrode 5 as a mask, and is characterized by having the process which introduces an impurity into said semi-conductor substrate 1, and forms 6s of source fields, and 6d of drain fields.

[0017] In the manufacture approach of the semiconductor device, it is characterized by distributing the nitrogen concentration in said nitriding oxide over broadcloth to the direction of thickness in the process which forms said gate insulating layer 4. In the manufacture approach of the semiconductor device, it is characterized by making the interface of said gate insulating layer 4 and said gate electrode 5 segregate the nitrogen concentration in said nitriding oxide in the process which forms said gate insulating layer 4.

[0018] In the manufacture approach of the semiconductor device, it is characterized by making the interface of said nitriding oxidation insulating-layer 4a and said semi-conductor substrate 1 segregate the nitrogen concentration in said nitriding oxidation insulating-layer 4a in the process which forms said nitriding oxidation insulating-layer 4a. Next, an operation of this invention is explained. It was made to change nitrogen concentration distribution of the direction of thickness in the 1st nitriding oxidizing zone used as a gate insulating

layer between the semi-conductor substrate of an MIS transistor, and a gate electrode, and nitrogen concentration distribution of the direction of thickness in the 2nd nitriding oxidizing zone which uses the source / drain field as a wrap insulating layer depending on the method of both sides of a gate electrode according to this invention.

[0019] The shift amount of the threshold of an MIS transistor and impurity ion run through this invention persons. Prevention and hot carrier resistance Are greatly dependent on the nitrogen concentration in the interface of a silicon substrate and a gate insulating layer, or nitrogen concentration distribution, respectively. When installation of a lot of nitrogen found out that the variation in lot-to-lot transistor characteristics also becomes the factor to enlarge and nitrogen concentration adjusted distribution of the direction of thickness further, it checked by experiment that the optimal film which raises an MIS transistor property existed.

[0020] For example, as nitrogen concentration distribution of the 1st nitriding oxidizing zone, there are that from which nitrogen was distributed over broadcloth, and a thing which nitrogen segregated to the interface with a gate electrode. Furthermore, as nitrogen concentration distribution of the 2nd nitriding oxidizing zone, some which nitrogen segregated are in an interface

with a semi-conductor substrate. That nitrogen concentration is distributed over broadcloth shows that it has distribution from which the nitrogen concentration near the interface of the 1st nitriding oxidizing zone and a semi-conductor substrate does not change in the direction of thickness substantially.

[0021] While a carrier trap lessens according to the nitrogen concentration distribution by the 1st nitriding oxidizing zone by this that it is hard to run in the case of an impurity ion implantation, hot carrier resistance can be improved according to nitrogen concentration distribution in the 2nd silicon nitride layer. Moreover, since the thickness which the silicon oxide layer could be used as a wrap insulating layer, proof-pressure degradation at the edge of a gate electrode was prevented by the silicon insulating layer according to this, and was moreover stabilized in the source / drain field can be obtained while forming nitriding concentration distribution of a gate insulating layer in broadcloth, the depth of the shallow impurity diffused layer of the source / drain field of LDD structure can be stabilized.

[0022] In addition, as an ingredient of the substrate of an MIS transistor, what [ not only ] consists of semi-conductors of single elements, such as silicon and germanium, but the thing which consists of compound semiconductors is included.

[0023]

[Embodiment of the Invention] Then, the gestalt of operation of this invention is explained based on a drawing below. First, the production process of the MOS transistor which has the source / drain field of LDD structure is explained as the 2nd example, using as the 1st example the production process of the MOS transistor which LDD structure does not adopt as the source / drain field.

[0024] 1st example drawing 1 and drawing 2 are the sectional views showing the formation process of the MOS transistor which has the source field which does not have LDD structure, and a drain field. First, drawing 1 (a) A process until it will be in the condition which shows is explained. On the silicon (semi-conductor) substrate 1, the oxidizing zone 2 for isolation of 250nm of thickness is formed by the selective oxidation method, and the field surrounded by the oxidizing zone 2 for isolation is the component formation field A.

[0025] The oxidizing zone 2 for isolation is used as a mask, n mold impurities, such as phosphorus and arsenic, are introduced into the component formation field A, and, thereby, the N well 3 is formed in the component formation field A of a silicon substrate 1. Next, the 1st nitriding silicon oxide layer 4 of 6nm of thickness is formed in the component formation field A of silicon substrate 1



front face by putting in a silicon substrate 1 in a vertical mold diffusion furnace (un-illustrating), and exposing silicon substrate 1 front face to a 950-degree C nitrogen oxide ( $\text{N}_2\text{O}$ ) gas ambient atmosphere into it.

[0026] After that, a polycrystalline silicon layer is grown up to be the thickness of 180nm by CVD on the 1st nitriding silicon oxide layer 4 of a silicon substrate 1, and the oxidizing zone 2 for isolation. Then, patterning of the polycrystalline silicon layer is carried out with photolithography, and the gate electrode 5 which passes along the center of the component formation field A by this is formed. The field of the method of both sides of the gate electrode 5 turns into the source / drain field among the component formation fields A, respectively.

[0027] Next, where a silicon substrate 1 is put in in the chamber of a rapid thermal treatment equipment (un-illustrating), it is 850-degree C ammonia ( $\text{NH}_3$ ) about the inside of the chamber. After setting it as the ambient atmosphere containing gas and exposing a silicon substrate 1 for 60 seconds in the ambient atmosphere, the gas in a chamber is permuted by nitrogen ( $\text{N}_2$ ). The  $\text{NH}_3$  According to gas, it is drawing 1 (b). The nitrogen concentration of the 1st nitriding silicon oxide layer 4 of the method of both sides of the gate electrode 5 becomes high, and is set to 2nd nitriding silicon oxide layer 4a of high nitrogen concentration so that

it may be shown.

[0028] After that, it is the nitrogen gas in a chamber. It permutes by  $\text{N}_2\text{O}$  gas, the temperature in a chamber is gone up at 900 degrees C in this condition, and it is drawing 1 (c). A silicon substrate 1 is put in in that ambient atmosphere, and is maintained for 60 seconds so that it may be shown. It sets at the process so far and is the 1st order. By changing the temperature and the processing time of an ambient atmosphere of  $\text{NH}_3$ , the nitrogen concentration of the 2nd nitriding silicon oxide layer 4 of the both sides of the gate electrode 5 can be controlled, and, moreover, nitrogen concentration can be locally controlled by the part of the interface of the nitriding silicon oxide layer 4 and a silicon substrate 1. It is because association with nitrogen and silicon becomes easy in the interface.

[0029] That is, the peak of the nitrogen concentration in 2nd nitriding silicon oxide layer 4a in the method of both sides of the gate electrode 5 and a silicon substrate 1 is controlled to exist in the interface approach of 2nd nitriding silicon oxide layer 4a and a silicon substrate 1. By this, the nitrogen concentration distribution in 2nd [ of the both sides of the gate electrode 5 ] nitriding silicon oxide layer 4a will differ from the nitrogen concentration distribution in 1st nitriding silicon oxide layer (gate insulating layer) 4a which is

directly under the gate electrode 5.

[0030] In addition, drawing 1 (c) It is  $\text{NH}_3$  as shown. The 2nd nitriding oxidation treatment after changing gas to  $\text{N}_2\text{O}$  is mainly  $\text{NH}_3$ . It is carrying out in order to remove the hydrogen element introduced into 2nd nitriding silicon oxide layer 4a in the ambient atmosphere of gas. Then, the gate electrode 5 and the oxidizing zone 2 for isolation are used for a mask, p mold impurities, such as boron, are introduced into the silicon substrate 1 of the both sides of a gate electrode, and this forms 6s of source fields and 6d of drain fields of p mold. An impurity diffused layers [ 6s and 6d ] edge is covered with 2nd nitriding silicon oxide layer 4b which spread at the edge under the gate electrode 5, is, and becomes things.

[0031] After that, although not illustrated especially, wiring which forms a layer insulation layer in the whole, forms a contact hole subsequently to a layer insulation layer, and is formed on a layer insulation layer will be connected to 6s of source fields, 6d of drain fields, and the gate electrode 5 through a contact hole.

The production process of the MOS transistor which adopts the impurity diffused layer of LDD structure as the 2nd example next a source field, and a drain field is explained.

[0032] First, after forming the 1st nitriding silicon oxide layer 4 in the front face of the component formation field A of

a silicon substrate 1 and forming the gate electrode 5 subsequently to the component formation field A of a silicon substrate 1 like the 1st example, it is drawing 2 (a). So that it may be shown p mold impurity is introduced into a silicon substrate 1 using the gate electrode 5 and the oxidizing zone 2 for isolation, and the shallow low-concentration impurity diffused layers 7s and 7d are formed in a mask.

[0033] After that, it is an ambient atmosphere around the 1st nitriding silicon oxide layer 4 at the same conditions as the 1st example so that the peak of nitrogen may exist the 1st nitriding silicon oxide layer 4 and low-concentration impurity diffused layers [ 7s and 7d ] (silicon substrate) near the interface  $\text{NH}_3$   $\text{N}_2$  and  $\text{N}_2\text{O}$  It changes in order and nitrogen is introduced into a part of 1st nitriding silicon oxide layer 4 of the method of both sides of the gate electrode 5. Here, the part to which nitrogen was made to increase among the 1st nitriding silicon oxide layer 4 is set to 2nd nitriding silicon oxide layer 4b. This 2nd nitriding silicon oxide layer 4b will be spread and formed also in the edge under the gate electrode 5, and will cover a low-concentration impurity diffused layers [ 7s and 7d ] edge by this.

[0034] By this, the nitrogen concentration distribution in 2nd [ of the both sides of the gate electrode 5 ] nitriding silicon

oxide layer 4b will differ from the nitrogen concentration distribution in the 1st nitriding silicon oxide layer (gate insulating layer) 4 which is directly under the gate electrode 5. Then, SiO two-layer is grown up to be the whole by CVD, and it is a wrap by SiO<sub>2</sub> about the gate electrode 1 and a silicon substrate 1. [0035] Next, SiO two-layer is perpendicularly etched by reactive ion etching, and, thereby, it is drawing 2 (c). It leaves the SiO two-layer of the flank of the gate electrode 5 as an insulating sidewall 8 so that it may be shown. After that, the gate electrode 5 and a sidewall 8 are used as a mask, p mold impurity is introduced into a silicon substrate 1, and the deep high-concentration impurity diffused layers 9s and 9d are formed in the silicon substrate 1 of a way outside the gate electrode 5 and a sidewall 8. 10s of source fields and 10d of drain fields of LDD structure are constituted by such high-concentration impurity diffused layers 9s and 9d and the above-mentioned low-concentration impurity diffused layers 7s and 7d.

[0036] After that, although not illustrated especially, a layer insulation layer is formed, subsequently to a layer insulation layer a contact hole is formed, and wiring is connected to 10s of source fields, 10d of drain fields, and the gate electrode 5 through a contact hole on a layer insulation layer. In addition, after forming the gate electrode 5, the 1st

nitriding silicon oxide layer 4 of the both sides of the gate electrode 5 is removed, and the 1st nitriding silicon oxide layer 4 may be made to grow up to be the front face of a silicon substrate 1 again after that, although the 1st above-mentioned example and the 2nd example explained the process which does not remove the 1st nitriding silicon oxide layer 4 of the both sides of the gate electrode 5.

[0037] Moreover, in the above-mentioned explanation, in order to give the peak of nitrogen concentration to the interface of a silicon substrate and a nitriding silicon oxide layer, it sets to a rapid thermal treatment equipment, and it is NH<sub>3</sub>. A nitriding silicon oxide layer is exposed to a gas ambient atmosphere, and, subsequently it is NH<sub>3</sub>. After permuting gas by N<sub>2</sub> gas, it is a nitriding silicon oxide layer. The approach of exposing to N<sub>2</sub>O gas is adopted. However, the other approaches may be adopted, for example, it sets to a rapid thermal treatment equipment. The approach of processing in an N<sub>2</sub>O gas ambient atmosphere and the approach of processing in NO gas ambient atmosphere may be used. Moreover, a vertical mold diffusion furnace may be used instead of a rapid thermal treatment equipment in those cases.

[0038] As mentioned above, although the production process of two MOS transistors was explained, a different point from the former in those production

processes is having made the nitrogen partition of the nitriding silicon oxide layers 4a and 4b of a wrap 2nd differ the 1st nitriding silicon oxide layer 4, and the source / drain field which constitutes a gate insulating layer. The nitrogen partition of the 1st nitriding silicon oxide layer 4 which is there, next was described above, and the 2nd nitriding silicon oxide layer 4a and 4b is explained.

[0039] First, a vertical mold diffusion furnace is used and it is N<sub>2</sub>O. When the 1st nitriding oxidation silicon nitride layer was formed on the silicon substrate in the ambient atmosphere with a temperature [ containing gas ] of 950 degrees C at the thickness of 6nm and SIMS analysis of this was carried out, the analysis result as shown in drawing 3 was obtained. In this oxidization silicon nitride layer, it turns out that concentration distribution of nitrogen serves as broadcloth. Next, the silicon oxide layer of about 5.3nm of thickness is formed by \*\* in a dilution oxygen ambient atmosphere using a vertical mold diffusion furnace. A rapid thermal treatment equipment is used after that, and it is a silicon oxide layer NH<sub>3</sub> It exposes to the ambient atmosphere containing gas, and a silicon oxide layer is changed into an oxidation silicon nitride layer. Subsequently NH<sub>3</sub> in the furnace of a rapid thermal treatment equipment After permuting gas by N<sub>2</sub> gas, it is NO<sub>2</sub> in the furnace. Introduce

gas, expose an oxidation silicon nitride layer to the ambient atmosphere for 60 seconds at 900 degrees C, and the hydrogen in a layer is removed. When SIMS analysis of the subsequent oxidation silicon nitride layer was carried out, the analysis result as shown in drawing 4 - drawing 6 was obtained.

[0040] Drawing 4 - drawing 6 are NH<sub>3</sub>. The difference at the time of changing the temperature at the time of exposing a silicon oxide layer to the ambient atmosphere containing gas with 750 degrees C, 800 degrees C, and 850 degrees C is shown. In these oxidation silicon nitride layers, change of the direction of thickness of concentration distribution of the nitrogen of the interior is large compared with drawing 3, and the description is to have an acute peak in the interface of a silicon substrate and nitriding silicon oxide moreover. And NH<sub>3</sub> It turns out that the content of nitrogen increases and the nitrogen concentration in the interface becomes large, so that temperature in a gas ambient atmosphere is made high.

[0041] Next, based on an experimental result, it explains to a detail what kind of effect the difference in the nitrogen partition of the 1st and 2nd nitriding silicon oxide layers 4 and 4a has on an MOS transistor. It investigated what kind of effect the nitrogen concentration and distribution in a nitriding silicon oxide layer would have what kind of

effect on the threshold voltage of p mold MOS transistor, and, moreover, would have on prevention of the omission to the substrate of the boron ion implantation in the lower part of a gate electrode. In this examination, the silicon oxide layer which does not contain nitrogen which is generally used as a gate insulating layer is also included in the object for a comparison.

[0042] Six classes were used for the gate insulating layer of two or more p mold MOS transistors used for the experiment by the difference among stratification conditions. The gate insulating layer of the 1st MOS transistor is set to a vertical mold diffusion furnace. It consists of a nitriding silicon oxide layer formed in the silicon substrate surface by 6nm of thickness in the 950-degree C ambient atmosphere containing N<sub>2</sub>O gas. Nitrogen concentration distribution of the nitriding silicon oxide layer seems to be drawing 3.

[0043] The gate insulating layer of the 2nd MOS transistor is a pure silicon oxide layer which does not contain the nitrogen formed in the silicon substrate surface by 6nm of thickness in the dilution oxygen ambient atmosphere in the vertical mold diffusion furnace. The gate insulating layer of the 3rd MOS transistor is N<sub>2</sub>O in a rapid thermal treatment equipment. By exposing the silicon oxide (SiO<sub>2</sub>) layer of 5nm of thickness of a silicon substrate surface to

the 1000-degree C ambient atmosphere containing gas for 60 seconds, the silicon oxide layer is changed to a nitriding silicon oxide layer. In this case, the thickness of a nitriding silicon oxide layer is increasing to 6nm by combination of nitrogen and silicon.

[0044] The gate insulating layer of the 4th MOS transistor is NH<sub>3</sub> in a rapid thermal treatment equipment. After exposing the silicon oxide layer of 5.3nm of thickness of a silicon substrate surface to the 750-degree C ambient atmosphere containing gas and, permuting the gas within the ambient atmosphere subsequently to N<sub>2</sub>, it is N<sub>2</sub>O in the ambient atmosphere. It consists of a layer which passed through the process which introduced and exposed the nitriding silicon oxide layer to the temperature of 900 degrees C. In this case, the thickness of the nitriding silicon oxide layer obtained eventually is increasing to 6nm by combination of nitrogen and silicon. Nitrogen concentration distribution of the nitriding silicon oxide layer seems to be drawing 4 mostly.

[0045] The gate insulating layer of the 5th MOS transistor is NH<sub>3</sub> in a rapid thermal treatment equipment. The silicon oxide layer of 5.3nm of thickness of a silicon substrate surface is exposed to the 800-degree C ambient atmosphere containing gas, and they are N<sub>2</sub> gas and N<sub>2</sub>O after that at the same conditions as production of the gate insulating layer of

the 4th MOS transistor. It exposes in order into gas and consists of a nitriding silicon oxide layer of 6nm of thickness which this obtained. Nitrogen concentration distribution of the nitriding silicon oxide layer seems to be drawing 5.

[0046] The gate insulating layer of the 6th MOS transistor is  $\text{NH}_3$  in a rapid thermal treatment equipment. The silicon oxide layer of 5.3nm of thickness of a silicon substrate surface is exposed to the 850-degree C ambient atmosphere containing gas, and they are  $\text{N}_2$  gas and  $\text{N}_2\text{O}$  at the same conditions as the gate insulating layer of the 4th MOS transistor after that. It exposes in order into gas and consists of a nitriding silicon oxide layer of 6nm of thickness which this obtained. Nitrogen concentration distribution of the nitriding silicon oxide layer seems to be drawing 6.

[0047] The threshold voltage at the time of carrying out the ion implantation of the boron to the above 1st - the 6th MOS transistor was measured. The ion implantation is boron ion ( $\text{B}^+$ ) to the 1st - the 6th MOS transistor. Boron fluoride ion ( $\text{BF}_2^+$ ) Two kinds were performed.  $\text{B}^+$  the conditions on which, as for the conditions (henceforth the 1st impregnation condition) of an ion implantation, boron ion does not run through the pure silicon oxide layer of 6nm of thickness under a gate electrode -- it is -- acceleration energy -- 9keV(s) and

a dose --  $2 \times 10^{15}$  atoms/cm<sup>2</sup> \*\* -- it carried out. moreover,  $\text{BF}_2^+$  the conditions on which, as for the conditions (henceforth the 2nd impregnation condition) of an ion implantation, boron ion runs through the pure silicon oxide layer of 6nm of thickness under a gate electrode -- it is -- acceleration energy -- 30keV(s) and a dose --  $2 \times 10^{15}$  atoms/cm<sup>2</sup> \*\* -- it carried out.

[0048] Moreover, it was 0.5 micrometers and gate width (width of face of the direction which intersects perpendicularly to gate length) was 5 micrometers, and the gate length (source drain lay length) of the MOS transistor used in the experiment turned on and turned off the electrical potential difference impressed to a gate electrode by 0.5V to -2.5V, and set the drain electrical potential difference as -2.5V further. Moreover, 200 threshold voltage was measured in the field and asked for the average.

[0049] thereby -- drawing 7 (a) and (b) The result [ like ] was obtained. In addition, drawing 7 (a) and (b) It sets and is on the 2nd impregnation condition.  $\text{BF}_2^+$  After carrying out an ion implantation, the silicon substrate is heated for 60 minutes at the temperature of 800 degrees C. This is for boron to make a gate insulating layer easy to escape from by diffusing boron with heat. When a gate insulating layer consists of pure silicon oxide, fluctuation of the

threshold of the gate voltage for which it depends on nitrogen with a natural thing will not take place. Then, when the effect on the threshold voltage  $V_{th}$  by the 1st impregnation condition and the 2nd impregnation condition is seen about the 2nd MOS transistor which made the pure silicon oxide layer the gate insulating layer, it is drawing 7 (a). As the interface nitrogen concentration 0 showed, only 0.4 V became large at the plus side rather than the case where the direction depended on the 2nd impregnation condition is the 1st impregnation condition. That is, it turns out that a gate electrode and the boron ion of a gate insulating layer run, and the difference of 0.4V arises "Be- alike" in threshold voltage.

[0050] On the other hand, like the gate insulating layer of the 1st MOS transistor, when the nitrogen concentration has spread in the direction of thickness in the interior at broadcloth, including nitrogen, at the 1st impregnation condition and the 2nd impregnation condition, it is drawing 7 (b). Threshold voltage  $V_{th}$  was the same and there was that a difference arose so that it might be shown. [ no ] That is, it is that the result depended on the 1st impregnation condition is the same as the result depended on the 2nd impregnation condition, if boron does not run through a gate insulating layer according to the 2nd impregnation condition, either, and it means things.

[0051] Moreover, when the 3rd which has the peak of nitrogen concentration in the interface of a gate insulating layer and a substrate - the 6th MOS transistor are compare, it is drawing 7 (a). It turns out that threshold voltage has shift to a minus side as the nitrogen concentration in the nitriding silicon oxide layer which constitutes a gate insulating layer from the 1st impregnation condition which the omission of boron ion does not produce increases so that it may be show. Furthermore, although threshold voltage will have shifted to a minus side as the nitrogen concentration in the nitriding silicon oxide layer which constitutes a gate insulating layer like the 1st impregnation condition increases on the 2nd impregnation condition which the omission of boron ion produces if the 3rd - the 6th MOS transistor are compared, it has shifted to a plus side rather than the case where it is based on the 1st impregnation condition. It shifts to a plus side because boron ion ran through the gate insulating layer and it has entered into the silicon substrate.

[0052] Furthermore, each threshold voltage  $V_{th}$  of the MOS transistor to which the nitrogen concentration of the boundary of a silicon substrate and a nitriding silicon oxide layer performed the impregnation conditions of 10% or more, and the MOS transistor which performed the 1st impregnation condition when it became and high concentration

nitrogen came to be introduced and the 2nd comes to be in agreement. That threshold voltage  $V_{th}$  is in agreement means that the thrust omission of the boron of a nitriding silicon oxide layer is prevented.

[0053] On the other hand, it sets to the 1st MOS transistor. Drawing 7 (b) Even if it carries out the ion implantation of the boron on the 1st impregnation condition and carries out an ion implantation on the 2nd impregnation condition so that it may be shown, the same threshold voltage  $V_{th}$  is obtained. The threshold voltage  $V_{th}$  Drawing 7 (a) It became the same as the case where the shown interface nitrogen concentration is 2%, and only about 0.1V is only shifted to a minus side compared with the threshold voltage of the 2nd MOS transistor which moreover has the gate insulating layer of pure silicon oxide. It is thought that the shift is based on the nitrogen in a gate insulating layer.

[0054] Thus, in the nitriding silicon oxide layer from which nitrogen concentration is changing to broadcloth in the direction of thickness, while the thrust omission of impurity ion is prevented, fluctuation of threshold voltage is also controlled. And the field interior division cloth of the nitrogen in the nitriding silicon oxide layer had also become homogeneity mostly. Since the nitrogen concentration in the interface of the nitriding silicon oxide layer and silicon substrate has

those effectiveness even if it is low, the number of the carrier traps by nitrogen decreases, and fluctuation of the property of a transistor is controlled.

[0055] On the other hand, since the peak of concentration distribution of nitrogen exists in the boundary of a silicon substrate and a nitriding silicon oxide layer, the source / drain field is enough in order to block a hot carrier. And since fluctuation of the threshold of gate voltage is hardly affected even if it makes the peak high, hot carrier resistance can be further raised by making nitrogen concentration of the peak high.

[0056] Therefore, while the MOS transistor formed through the process explained by the 1st example which was described above, and the 2nd example prevents the thrust omission of impurity ion by the gate insulating layer under a gate electrode, it can make hot carrier resistance high by the insulating layer of the side of a gate electrode. Although the above explanation has discussed the gate insulating layer of 6nm of thickness, it is effective also about the ultra-thin gate insulating layer used for a next-generation semiconductor device. For example, it is 900 degrees C of a vertical mold diffusion furnace about the nitriding silicon oxide layer of 4.2nm of thickness. By exposing a silicon substrate to the 900-degree C ambient atmosphere containing  $N_2O$  gas, formation of the nitriding silicon oxide layer to which



about 2.5% of nitrogen concentration exists in a layer at broadcloth was attained, and element distribution of the nitriding silicon oxide became like drawing 8  $R > 8$ . In this drawing 8 and above-mentioned drawing 3 - drawing 6, nitrogen concentration is the magnitude for which drew the calibration curve based on the value by Auger analysis, and it asked from the reinforcement of a SIMS analysis result.

[0057] In addition, when forming the gate insulating layer under a gate electrode with a nitriding oxidation insulating material, you may make it the peak of nitrogen concentration exist in the interface of a gate electrode and a gate insulating layer. Moreover, in the above-mentioned explanation, although boron was used as an impurity, n mold impurities, such as other p mold impurities or arsenic, and phosphorus, may be used.

[0058] Furthermore, while forming the gate insulating layer under a gate electrode other than the above-mentioned operation gestalt from nitriding silicon oxide and making the nitrogen concentration distribution into broadcloth, the insulating layer which consists of pure silicon oxide may be formed in the front face of the source / drain field. As a process which forms the insulating layer which consists of silicon oxide, it is drawing 1 (b). After forming a gate electrode so that it may be shown,

the nitriding silicon oxide layer of the both sides of a gate electrode is removed, and the method of reoxidating the front face of the silicon substrate of the part which removed the nitriding silicon oxide layer is further. In this case, it is the optimal to stabilize the case where he wants for there to be few hot carrier effects and to aim at proof-pressure degradation prevention at the edge of a gate electrode moreover, and thickness, according to the conditions of the high impurity concentration of a drain field, gate length, etc., and obtain. In case the shallow impurity diffused layer of LDD structure is formed [\*\*\*\*\*], for example to be stabilized and obtain thickness, there is a case where you want to stabilize the depth of the impurity containing an ion implantation.

[0059] Moreover, when removing a nitriding silicon oxide layer, even when it is small, it leaves the nitriding silicon oxide layer, and there is also the approach of oxidizing the front face of a silicon substrate after that. In this case, although it is small, since nitrogen is included, slight hot carrier resistance is expectable. Moreover, according to the process, since the front face of a silicon substrate is not exposed, the damage of a substrate and etching are prevented.

[0060]

[Effect of the Invention] Nitrogen concentration distribution of the direction of thickness in the 1st nitriding oxidizing

zone which is used as a gate insulating layer between the semi-conductor substrate of an MIS transistor, and a gate electrode according to this invention as stated above, It is made to change nitrogen concentration distribution of the direction of thickness in the 2nd nitriding oxidizing zone which uses the source / drain field as a wrap insulating layer depending on the method of both sides of a gate electrode. for example, as nitrogen concentration distribution of the 1st nitriding oxidizing zone Since distribute nitrogen over broadcloth, or an interface with a gate electrode is made to segregate nitrogen and it was made to make an interface with a semi-conductor substrate segregate nitrogen as nitrogen concentration distribution of the 2nd nitriding oxidizing zone further While a carrier trap lessens according to the nitrogen concentration distribution by the 1st nitriding oxidizing zone by this that it is hard to run in the case of an impurity ion implantation, hot carrier resistance can be improved according to nitrogen concentration distribution in the 2nd silicon nitride layer.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (a) - (d) It is the

sectional view showing the 1st process of the MOS transistor in the operation gestalt of this invention.

[Drawing 2] Drawing 2 (a) - (d) It is the sectional view showing the 2nd process of the MOS transistor in the operation gestalt of this invention.

[Drawing 3] Drawing 3 is drawing showing concentration distribution of the configuration element of the nitriding oxidizing zone used as a gate insulating layer of the MOS transistor concerning the operation gestalt of this invention, axes of ordinate are logarithmic scale and an axis of abscissa is a proportion graduation (about a graduation, the same is said of drawing 4, drawing 5, drawing 6 R> 6, and drawing 8).

[Drawing 4] Drawing 4 is drawing showing concentration distribution of the configuration element of the nitriding oxidizing zone of a wrap 1st for the source / drain field of the MOS transistor concerning the operation gestalt of this invention.

[Drawing 5] Drawing 5 is drawing showing concentration distribution of the configuration element of the nitriding oxidizing zone of a wrap 2nd for the source / drain field of the MOS transistor concerning the operation gestalt of this invention.

[Drawing 6] Drawing 6 is drawing showing concentration distribution of the configuration element of the nitriding oxidizing zone of a wrap 3rd for the

source / drain field of the MOS transistor concerning the operation gestalt of this invention.

[Drawing 7] Drawing 7 (a) Property drawing showing change of the threshold of the MOS transistor after changing impregnation conditions into each of SiO two-layer and four kinds of SiON layers which nitrogen segregated and carrying out the ion implantation of the boron, drawing 7 (b) property drawing showing change of the threshold of the MOS transistor after changing impregnation conditions into the SiON layer from which nitrogen is distributed in the direction of thickness at broadcloth and carrying out the ion implantation of the boron to it -- it is -- drawing 7 (a) and (b) An axis of ordinate and an axis of abscissa are proportion graduations.

[Drawing 8] Drawing 8 is drawing showing concentration distribution of the configuration element of the nitriding oxidizing zone of 4.3nm of thickness used as a gate insulating layer of the MOS transistor concerning the operation gestalt of this invention.

[Drawing 9] Drawing 9 (a) - (d) It is the sectional view showing the production process of the conventional general MOS transistor.

[Description of Notations]

- 1 Silicon Substrate (Semi-conductor Substrate)
- 2 Isolation Oxidizing Zone
- 3 N Well

4 Nitriding Silicon Oxide Layer (Gate Insulating Layer)

4a, 4b Nitriding silicon oxide layer

5 Gate Electrode

6s Source layer

6d Drain layer

7s, 7d Low concentration impurity diffused layer

8 Sidewall

9s, 9d High concentration impurity diffused layer

10s Source field

10d Drain field

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256539

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
21/318  
21/336

識別記号

F I

H 0 1 L 29/78  
21/318  
29/78

3 0 1 X  
C  
3 0 1 Y

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平9-55275

(22) 出願日 平成9年(1997) 3月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 堀 充明

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 田村 直義

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

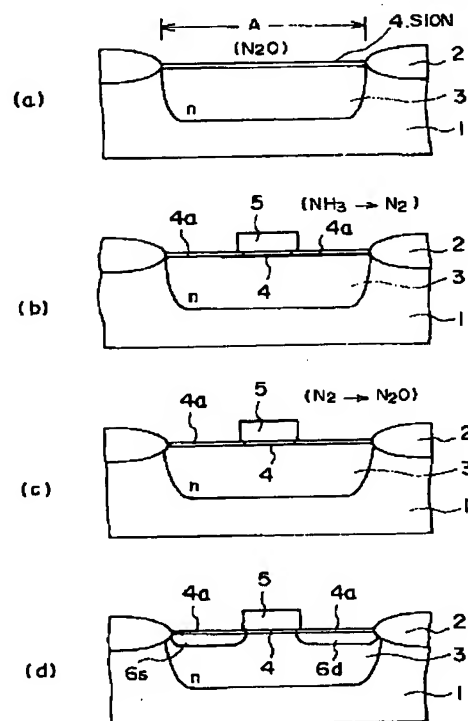
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 M I S (metal insulator semiconductor) 型電界効果トランジスタを有する半導体装置に関し、ホットキャリア耐性をさらに高くするとともに、不純物イオンのゲート絶縁層の突き抜けを防止してトランジスタの駆動電圧の閾値のバラツキを小さくすること。

【解決手段】 半導体基板1上に形成された第1の窒化酸化物よりなるゲート絶縁層4と、前記ゲート絶縁層4上に形成されたゲート電極5と、前記ゲート電極5の両側方の前記半導体基板1に形成されたソース/ドレイン領域6s、6dと、前記半導体基板1表面のうち前記ソース/ドレイン領域6s、6dを覆い、かつ、前記ゲート絶縁層4とは異なる層厚方向での窒素濃度分布を有する窒化酸化絶縁層4aとを含む。



(2)

## 【特許請求の範囲】

【請求項1】半導体基板上に形成された第1の窒化酸化物よりなるゲート絶縁層と、  
前記ゲート絶縁層上に形成されたゲート電極と、  
前記ゲート電極の両側方の前記半導体基板に形成されたソース／ドレイン領域と、  
前記半導体基板表面のうち前記ソース／ドレイン領域を覆い、かつ、前記ゲート絶縁層とは異なる層厚方向の窒素濃度分布を有する窒化酸化絶縁層とを有することを特徴とする半導体装置。

【請求項2】前記窒化酸化絶縁層の前記窒素濃度は、前記半導体基板と前記窒化酸化絶縁層との界面に偏析していることを特徴とする請求項1記載の半導体装置。

【請求項3】前記ゲート電極の下の前記ゲート絶縁層内の窒素濃度分布は、前記半導体基板と前記窒化酸化絶縁層との界面に偏析せずに、層厚方向にブロードに存在することを特徴とする請求項1記載の半導体装置。

【請求項4】前記ゲート電極の下の前記ゲート絶縁層内の窒素濃度分布は、前記ゲート電極と前記ゲート絶縁層との界面に偏析していることを特徴とする請求項1記載の半導体装置。

【請求項5】半導体基板上に形成され、且つ膜厚方向の窒素分布がブロードな窒化酸化物よりなるゲート絶縁層と、

前記ゲート絶縁層上に形成されたゲート電極と、  
前記ゲート電極の両側方の前記半導体基板に形成されたソース／ドレイン領域と、

前記半導体基板表面のうち前記ソース／ドレイン領域を覆う絶縁層とを有することを特徴とする半導体装置。

【請求項6】前記絶縁層は、酸化シリコンから形成されていることを特徴とする請求項5記載の半導体装置。

【請求項7】半導体基板の主面に窒化酸化物よりなるゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上にゲート電極を形成する工程と、  
前記ゲート電極の両側方の前記半導体基板の主面に前記ゲート絶縁層とは異なる層厚方向の窒素濃度分布を有する窒化酸化絶縁層を形成する工程と、

前記ゲート電極をマスクにして前記半導体基板に不純物を導入してソース領域及びドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】前記ゲート絶縁層を形成する工程において、前記窒化酸化物中の窒素濃度を層厚方向に対してブロードに分布させることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】前記ゲート絶縁層を形成する工程において、前記窒化酸化物中の窒素濃度を前記ゲート絶縁層と前記ゲート電極との界面に偏析させることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】前記窒化酸化絶縁層を形成する工程において、前記窒化酸化絶縁層中の窒素濃度を前記窒化酸化

絶縁層と前記半導体基板との界面に偏析させることを特徴とする請求項7記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、より詳しくは、MIS (metalinsulator or semiconductor) 型電界効果トランジスタを有する半導体装置及びその製造方法に関する。

## 【0002】

10 【従来の技術】近年の半導体素子の微細化、高集積化によってゲート絶縁層の薄層化が進んでいて、これに伴い、半導体素子のホットキャリア耐性の低下、及び、ゲート電極構成材料に含まれる不純物の基板への抜けが問題となっている。MIS型電界効果トランジスタ、例えばPMOSTランジスタは、一般に、例えば図9(a)～(c)に示すような工程を経て形成される。

【0003】まず、図9(a)に示すように、シリコン基板101の素子分離領域の表面を選択酸化して素子分離用酸化層(LOCOS)102を形成し、ついで、素子分離用酸化層102に囲まれた素子形成領域にn型不純物を導入してn型ウェル103を形成し、ついで、シリコン基板101表面の素子形成領域を熱酸化してゲート絶縁層104を形成する。

【0004】次に、ゲート絶縁層104及び素子分離用酸化層の上に多結晶シリコン層を形成した後に、その多結晶シリコン層をフォトリソグラフィによりパターンニングして図9(b)に示すようにゲート電極105を形成する。その後、図9(c)に示すように、イオン注入法などによってホウ素などのp型不純物をゲート電極105、シリコン基板1に導入し、これによりゲート電極105の導電率を高くするとともに、ゲート電極105の両側方に低濃度の不純物拡散層106s、106dを形成する。

【0005】続いて、ゲート電極105の側方に絶縁性のサイドウォール107を形成した後に、ゲート電極105及びサイドウォール107をマスクに使用してゲート電極105の側方に高濃度の不純物拡散層108s、108dを形成する。その高濃度の不純物拡散層107s、107dと低濃度の不純物拡散層106s、106dによってLDD (lightly doped drain) 構造のソース領域109s、ドレイン領域109dが構成される。

【0006】ところで、ゲート絶縁層104の材料としてシリコン酸化層を使用しているが、不純物としてホウ素をシリコン基板にイオン注入すると、その不純物がゲート電極105を突き抜けてn型ウェル103の表層のn型不純物濃度を低下させることになる。このため、低濃度のp型の不純物拡散層106s、106dとn型ウェル103によるpn接合は、その表層よりも深い部分で発生してしまう。また、MOSTランジスタでは、微細化が進むにつれてより一層のホットキャリア耐性の向上が要求されて

50

(3)

3

【0007】このような事情から、ゲート絶縁層として窒化酸化シリコン(SiON)層を用いることにより、その窒化酸化シリコン層によってゲート電極でのホウ素イオンの突き抜けを防止するという報告や、半導体基板のうちソース領域及びドレイン領域の上面に窒化酸化層を形成してホットキャリア耐性を向上させるという報告がある。

【0008】このように窒化酸化シリコン層を用いる主な2つの目的を同時に達成するためには、半導体基板の主面上にゲート絶縁層として形成される窒化酸化シリコン層を、ソース領域及びドレイン領域を覆う絶縁層としてそのまま使用することが行われている。そのようにドレイン領域の上に窒化酸化シリコン層を形成すると、熱酸化シリコン層に比べてドレインアバランシェホットキャリアに強くなる。そして、そのような効果を高めようとする場合には窒化酸化シリコン層中の窒素の濃度を高くする必要がある。

【0009】しかし、ゲート絶縁層に窒素が多く含まれていると、正孔又は電子のトラップ数が多くなり、実際にはチャネルホットエレクトロン又はチャネルホットホール<sup>20</sup>の耐性を弱めることになる。また、窒素がゲート絶縁層に導入されると、導入されない場合に比べてトランジスタ特性の閾値電圧が負の方向にシフトしてしまう。

【0010】このような問題に対して、例えば特開平5-211330号公報においては、電界効果トランジスタのソース/ドレイン領域の半導体基板の窒化酸化シリコン層の窒化濃度をゲート電極の下<sup>30</sup>の窒化酸化シリコン層の窒化濃度よりも濃くすることによってホットキャリア耐性を高くし、かつ、低ゲート電圧で使用しても電流駆動率が大きくなるということが記載されている。

【0011】

【発明が解決しようとする課題】しかし、ゲート電極直下の絶縁層の窒化濃度が十分高くなければ、ゲート電極及びゲート絶縁層でのホウ素イオンの突き抜けを防止できないので、ゲート絶縁層を構成する窒化酸化シリコン層の窒化濃度を単に低くしただけではそのような問題の解決は期待できない。

【0012】本発明の目的とするところは、ホットキャリア耐性をさらに高くするとともに、不純物イオンのゲート絶縁層の突き抜けを防止してトランジスタの駆動電圧の閾値のバラツキを小さくすることができる半導体装置<sup>40</sup>及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

(手段) 上記した課題は、図1に例示するように、半導体基板1上に形成された第1の窒化酸化物よりなるゲート絶縁層4と、前記ゲート絶縁層4上に形成されたゲート電極5と、前記ゲート電極5の両側方の前記半導体基板1に形成されたソース/ドレイン領域6s、6dと、前記半導体基板1表面のうち前記ソース/ドレイン領域<sup>50</sup>

4

6s、6dを覆い、かつ、前記ゲート絶縁層4とは異なる層厚方向での窒素濃度分布を有する窒化酸化絶縁層4aとを有することを特徴とする半導体装置によって解決する。

【0014】上記した半導体装置において、図4～図6に例示するように、前記窒化酸化絶縁層4aの前記窒素濃度は、前記半導体基板1と前記窒化酸化絶縁層4aとの界面に偏析していることを特徴とする。上記した半導体装置において、図3に例示するように、前記ゲート電極5の下<sup>10</sup>の前記ゲート絶縁層4内の窒素濃度分布は、前記半導体基板1と前記窒化酸化絶縁層4aとの界面に偏析せずに、層厚方向にブロードに存在することを特徴とする。

【0015】上記した半導体装置において、前記ゲート電極5の下<sup>20</sup>の前記ゲート絶縁層4内の窒素濃度分布は、前記ゲート電極5と前記ゲート絶縁層4との界面に偏析していることを特徴とする。また、上記した課題は、半導体基板1上に形成され、且つ膜厚方向の窒素分布がブロードな窒化酸化物よりなるゲート絶縁層4と、前記ゲート絶縁層4上に形成されたゲート電極5と、前記ゲート電極5の両側方の前記半導体基板1に形成されたソース/ドレイン領域7s、7dと、前記半導体基板1表面のうち前記ソース/ドレイン領域7s、7dを覆う絶縁層とを有することを特徴とする半導体装置によって解決する。この場合、前記絶縁層は酸化シリコンから形成されている。

【0016】また、上記した課題は、図1(a)～(d)に例示するように、半導体基板1の主面に窒化酸化物よりなるゲート絶縁層4を形成する工程と、前記ゲート絶縁層4の上にゲート電極5を形成する工程と、前記ゲート電極5の両側方の前記半導体基板1の主面に前記ゲート絶縁層4とは異なる層厚方向の窒素濃度分布を有する窒化酸化絶縁層4aを形成する工程と、前記ゲート電極5をマスクにして前記半導体基板1に不純物を導入してソース領域6s及びドレイン領域6dを形成する工程とを備えたことを特徴とする半導体装置の製造方法により解決する。

【0017】その半導体装置の製造方法において、前記ゲート絶縁層4を形成する工程において、前記窒化酸化物中の窒素濃度を層厚方向に対してブロードに分布させることを特徴とする。その半導体装置の製造方法において、前記ゲート絶縁層4を形成する工程において、前記窒化酸化物中の窒素濃度を前記ゲート絶縁層4と前記ゲート電極5との界面に偏析させることを特徴とする。

【0018】その半導体装置の製造方法において、前記窒化酸化絶縁層4aを形成する工程において、前記窒化酸化絶縁層4a中の窒素濃度を前記窒化酸化絶縁層4aと前記半導体基板1との界面に偏析させることを特徴とする。次に、本発明の作用について説明する。本発明によれば、MISトランジスタの半導体基板とゲート電極

(4)

5

の間のゲート絶縁層として使用する第1の窒化酸化層内の膜厚方向の窒素濃度分布と、ゲート電極の両側方でソース/ドレイン領域を覆う絶縁層として使用する第2の窒化酸化層内の膜厚方向の窒素濃度分布を異ならせるようにした。

【0019】本発明者らは、MISトランジスタの閾値のシフト量、不純物イオンの突き抜け防止、ホットキャリア耐性は、それぞれシリコン基板とゲート絶縁層の界面での窒素濃度や窒素濃度分布に大きく依存しており、多量の窒素の導入はロット間のトランジスタ特性のパラツキも大きくさせる要因となることを見出し、さらに、窒素濃度が膜厚方向の分布を調整することにより、MISトランジスタ特性を向上させる最適な膜が存在することを実験により確認した。

【0020】例えば、第1の窒化酸化層の窒素濃度分布としては、ブロードに窒素が分布したものや、ゲート電極との界面に窒素が偏析したものがある。さらに、第2の窒化酸化層の窒素濃度分布としては半導体基板との界面に窒素が偏析したものがある。窒素濃度がブロードに分布するということは、第1の窒化酸化層と半導体基板との界面の近傍での窒素濃度が膜厚方向に実質的に変化しないような分布を有することを示している。

【0021】これにより、第1の窒化酸化層での窒素濃度分布により、不純物イオン注入の際に突き抜けにくく且つキャリアトラップが少なくするとともに、第2の窒化シリコン層での窒素濃度分布によりホットキャリア耐性を向上することができる。また、ゲート絶縁層の窒化濃度分布をブロードに形成するとともに、ソース/ドレイン領域を覆う絶縁層として酸化シリコン層を用いてもよく、これによればゲート電極の縁部での耐圧劣化がシリコン絶縁層によって防止され、しかも安定した膜厚を得ることができるので、LDD構造のソース/ドレイン領域の浅い不純物拡散層の深さを安定させることができる。

【0022】なお、MISトランジスタの基板の材料としては、シリコン、ゲルマニウムなどの単元素の半導体から構成されるものばかりでなく、化合物半導体から構成されるものも含む。

【0023】

【発明の実施の形態】そこで、以下に本発明の実施の形態を図面に基づいて説明する。まず、ソース/ドレイン領域にLDD構造の採用しないMOSトランジスタの製造工程を第1例として、LDD構造のソース/ドレイン領域を有するMOSトランジスタの製造工程を第2例として説明する。

【0024】第1例

図1、図2は、LDD構造を有しないソース領域とドレイン領域を有するMOSトランジスタの形成工程を示す断面図である。まず、図1(a)に示す状態になるまでの工程を説明する。シリコン(半導体)基板1の上には、

6

選択酸化法によって層厚250nmの素子分離用酸化層2が形成されており、素子分離用酸化層2に囲まれた領域は、素子形成領域Aとなっている。

【0025】その素子形成領域Aには、素子分離用酸化層2をマスクにして、磷、砒素などのn型不純物が導入され、これによりシリコン基板1の素子形成領域AにはNウェル3が形成されている。次に、シリコン基板1を縦型拡散炉(不図示)内に入れ、その中において950℃の酸化窒素( $\text{N}_2\text{O}$ )ガス雰囲気中にシリコン基板1表面をさらすことにより、シリコン基板1表面の素子形成領域Aに層厚6nmの第1の窒化酸化シリコン層4を形成する。

【0026】その後、シリコン基板1の第1の窒化酸化シリコン層4及び素子分離用酸化層2の上に多結晶シリコン層をCVDによって180nmの厚さに成長する。続いて、多結晶シリコン層をフォトリソグラフィによってパターニングし、これにより素子形成領域Aの中央を通るゲート電極5を形成する。素子形成領域Aのうちゲート電極5の両側方の領域は、それぞれソース/ドレイン領域となる。

【0027】次に、急速熱処理装置(不図示)のチャンバ内にシリコン基板1を入れた状態で、そのチャンバ内を850℃のアンモニア( $\text{NH}_3$ )ガスを含む雰囲気中に設定し、その雰囲気内にシリコン基板1を60秒間晒した後、チャンバ内のガスを窒素( $\text{N}_2$ )に置換する。その $\text{NH}_3$ ガスによれば、図1(b)に示すように、ゲート電極5の両側方の第1の窒化酸化シリコン層4の窒素濃度が高くなって、高窒素濃度の第2の窒化酸化シリコン層4aとなる。

【0028】その後、チャンバ内の窒素ガスを $\text{N}_2\text{O}$ ガスに置換し、この状態でチャンバ内の温度を900℃に上昇して、図1(c)に示すように、シリコン基板1をその雰囲気内に入れて60秒間維持する。ここまでの工程においては、1次の $\text{NH}_3$ の雰囲気中の温度や処理時間を変化させることにより、ゲート電極5の両側の第2の窒化酸化シリコン層4の窒素濃度を制御することができ、しかも窒化酸化シリコン層4とシリコン基板1との界面の部分で局所的に窒素濃度を制御できる。その界面では、窒素とシリコンとの結合が容易となるからである。

【0029】即ち、ゲート電極5の両側方にある第2の窒化酸化シリコン層4a及びシリコン基板1中の窒素濃度のピークは、第2の窒化酸化シリコン層4aとシリコン基板1との界面寄りに存在するように制御する。これにより、ゲート電極5の両側の第2の窒化酸化シリコン層4a中の窒素濃度分布が、ゲート電極5の直下にある第1の窒化酸化シリコン層(ゲート絶縁層)4a中の窒素濃度分布と異なることになる。

【0030】なお、図1(c)に示したように、 $\text{NH}_3$ ガスを $\text{N}_2\text{O}$ に換えた後の2回目の窒化酸化処理は、主に、 $\text{NH}_3$ ガスの雰囲気において第2の窒化酸化シリコン層4a



(5)

7

に導入された水素元素を除去する目的で行っている。続いて、ゲート電極5及び素子分離用酸化層2をマスクに使用して、ホウ素等のp型不純物をゲート電極の両側のシリコン基板1に導入し、これによりp型のソース領域6s及びドレイン領域6dを形成する。不純物拡散層6s、6dの端部は、ゲート電極5の下縁部に広がった第2の窒化酸化シリコン層4bによって覆われることになる。

【0031】その後、特に図示しないが、全体に層間絶縁層を形成し、ついで層間絶縁層にコンタクトホールを形成し、層間絶縁層の上に形成する配線をコンタクトホールを通してソース領域6s、ドレイン領域6d、又はゲート電極5に接続することになる。

## 第2例

次に、ソース領域及びドレイン領域としてLDD構造の不純物拡散層を採用するMOSトランジスタの製造工程について説明する。

【0032】まず、第1例と同様にして、シリコン基板1の素子形成領域Aの表面に第1の窒化酸化シリコン層4を形成し、ついでシリコン基板1の素子形成領域Aにゲート電極5を形成した後に、図2(a)に示すように、ゲート電極5及び素子分離用酸化層2をマスクに使用してp型不純物をシリコン基板1に導入して浅い低濃度の不純物拡散層7s、7dを形成する。

【0033】その後、第1の窒化酸化シリコン層4と低濃度の不純物拡散層(シリコン基板)7s、7dの界面近傍に窒素のピークが存在するように、第1例と同様な条件で第1の窒化酸化シリコン層4の周囲の雰囲気は $\text{NH}_3$ と $\text{N}_2$ と $\text{N}_2\text{O}$ の順に変えてゲート電極5の両側方の第1の窒化酸化シリコン層4の一部に窒素を導入する。ここで、第1の窒化酸化シリコン層4のうち窒素を増加させた部分を第2の窒化酸化シリコン層4bとする。この第2の窒化酸化シリコン層4bは、ゲート電極5の下縁部にも広がって形成され、これにより、低濃度の不純物拡散層7s、7dの端部を覆うことになる。

【0034】これにより、ゲート電極5の両側の第2の窒化酸化シリコン層4b中の窒素濃度分布が、ゲート電極5の直下にある第1の窒化酸化シリコン層(ゲート絶縁層)4中の窒素濃度分布と異なることになる。続いて、CVDにより $\text{SiO}_2$ 層を全体に成長して、ゲート電極1及びシリコン基板1を $\text{SiO}_2$ によって覆う。

【0035】次に、反応性イオンエッチングによって $\text{SiO}_2$ 層を垂直方向にエッチングし、これにより、図2(c)に示すように、ゲート電極5の側部の $\text{SiO}_2$ 層を絶縁性のサイドウォール8として残す。その後、ゲート電極5及びサイドウォール8をマスクにしてp型不純物をシリコン基板1に導入して、ゲート電極5及びサイドウォール8の外方のシリコン基板1に深い高濃度の不純物拡散層9s、9dを形成する。そのような高濃度の不純物拡散層9s、9dと上記した低濃度の不純物拡散層7s、

8

7dによってLDD構造のソース領域10s及びドレイン領域10dが構成される。

【0036】その後、特に図示しないが、層間絶縁層を形成し、ついで層間絶縁層にコンタクトホールを形成し、層間絶縁層の上に配線をコンタクトホールを通してソース領域10s、ドレイン領域10d又はゲート電極5に接続する。なお、上記した第1例及び第2例では、ゲート電極5の両側の第1の窒化酸化シリコン層4を除去しない工程を説明したが、ゲート電極5を形成した後に、ゲート電極5の両側の第1の窒化酸化シリコン層4を除去し、その後、シリコン基板1の表面に再び第1の窒化酸化シリコン層4を成長するようにしてもよい。

【0037】また、上記した説明では、シリコン基板と窒化酸化シリコン層との界面に窒素濃度のピークを付与するために、急速熱処理装置において $\text{NH}_3$ ガス雰囲気中に窒化酸化シリコン層を晒し、ついで、 $\text{NH}_3$ ガスを $\text{N}_2$ ガスに置換した後に、窒化酸化シリコン層を $\text{N}_2\text{O}$ ガスに晒す方法を採用している。しかし、その他の方法を採用してもよく、例えば、急速熱処理装置において $\text{N}_2\text{O}$ ガス雰囲気中で処理する方法、 $\text{NO}$ ガス雰囲気中で処理する方法を用いてもよい。また、それらの場合、急速熱処理装置の代わりに縦型拡散炉を用いてもよい。

【0038】以上、2つのMOSトランジスタの製造工程について説明したが、それらの製造工程において従来と異なる点は、ゲート絶縁層を構成する第1の窒化酸化シリコン層4とソース/ドレイン領域を覆う第2の窒化酸化シリコン層4a、4bの窒素分布を異なるようにしたことである。そこで次に、上記した第1の窒化酸化シリコン層4と第2の窒化酸化シリコン層4a、4bの窒素分布について説明する。

【0039】まず、縦型拡散炉を用いて $\text{N}_2\text{O}$ ガスを含む温度 $950^\circ\text{C}$ の雰囲気中で第1の窒化酸化シリコン層をシリコン基板の上に6nmの厚さに形成し、これをSIMS分析したところ、図3に示すような分析結果が得られた。この酸化窒化シリコン層では、窒素の濃度分布がブロードとなっていることがわかる。次に、縦型拡散炉を用いて希釈酸素雰囲気中有で層厚約5.3nmの酸化シリコン層を形成し、その後急速熱処理装置を用いて酸化シリコン層を $\text{NH}_3$ ガスを含む雰囲気中に晒して酸化シリコン層を酸化窒化シリコン層に変え、ついで、急速熱処理装置の炉内の $\text{NH}_3$ ガスを $\text{N}_2$ ガスに置換した後に、その炉内に $\text{NO}_2$ ガスを導入して $900^\circ\text{C}$ で酸化窒化シリコン層を60秒間その雰囲気中に晒して層中の水素を除去し、その後の酸化窒化シリコン層をSIMS分析したところ、図4～図6に示すような分析結果が得られた。

【0040】図4～図6は、 $\text{NH}_3$ ガスを含む雰囲気中に酸化シリコン層をさらす際の温度を、 $750^\circ\text{C}$ 、 $800^\circ\text{C}$ 、 $850^\circ\text{C}$ と変えた場合の違いを示している。これらの酸化窒化シリコン層では、その内部の窒素の濃度分布の層厚方向の変化が図3に比べて大きく、しかもシリコ



(6)

9

ン基板と窒化酸化シリコンの界面に鋭いピークをもっていることに特徴がある。しかも、 $\text{NH}_3$  ガス雰囲気中の温度を高くするほど、窒素の含有量が増えてその界面における窒素濃度が大きくなることがわかる。

【0041】次に、第1及び第2の窒化酸化シリコン層4、4aの窒素分布の違いがMOSトランジスタにどのような影響を与えるかを、実験結果に基づいて、詳細に説明する。窒化酸化シリコン層中の窒素濃度とその分布が、p型MOSトランジスタの閾値電圧にどのような影響を及ぼし、しかも、ゲート電極の下方でのホウ素イオン注入の基板への抜けの防止にどのような影響を及ぼすかを調査した。この調査においては、ゲート絶縁層として一般に使用されているような窒素を含まない酸化シリコン層も比較対象に含めている。

【0042】実験のために用いた複数のp型MOSトランジスタのゲート絶縁層は、成層条件の違いによって6つの種類を用いた。第1のMOSトランジスタのゲート絶縁層は、縦型拡散炉において  $\text{N}_2\text{O}$  ガスを含む  $950^\circ\text{C}$  の雰囲気中でシリコン基板表面に層厚6nmで形成した窒化酸化シリコン層からなる。その窒化酸化シリコン層の窒素濃度分布は図3のようである。

【0043】第2のMOSトランジスタのゲート絶縁層は、縦型拡散炉において希釈酸素雰囲気中でシリコン基板表面に層厚6nmで形成した窒素を含まないピュアな酸化シリコン層である。第3のMOSトランジスタのゲート絶縁層は、急速熱処理装置内の  $\text{N}_2\text{O}$  ガスを含む  $1000^\circ\text{C}$  の雰囲気中にシリコン基板表面の層厚5nmの酸化シリコン ( $\text{SiO}_2$ ) 層を60秒間さらすことによって、その酸化シリコン層を窒化酸化シリコン層に変化させたものである。この場合、窒化酸化シリコン層の層厚は、窒素とシリコンの化合によって6nmに増加している。

【0044】第4のMOSトランジスタのゲート絶縁層は、急速熱処理装置内の  $\text{NH}_3$  ガスを含む  $750^\circ\text{C}$  の雰囲気中にシリコン基板表面の層厚5.3nmの酸化シリコン層を晒し、ついで、その雰囲気内のガスを  $\text{N}_2$  に置換した後に、その雰囲気内に  $\text{N}_2\text{O}$  を導入して  $900^\circ\text{C}$  の温度に窒化酸化シリコン層を晒した工程を経た層からなる。この場合、最終的に得られた窒化酸化シリコン層の層厚は窒素とシリコンの化合によって6nmに増えている。その窒化酸化シリコン層の窒素濃度分布はほぼ図4のようである。

【0045】第5のMOSトランジスタのゲート絶縁層は、急速熱処理装置内の  $\text{NH}_3$  ガスを含む  $800^\circ\text{C}$  の雰囲気中にシリコン基板表面の層厚5.3nmの酸化シリコン層を晒し、その後に、第4のMOSトランジスタのゲート絶縁層の作製と同じ条件で  $\text{N}_2$  ガス、 $\text{N}_2\text{O}$  ガス中に順に晒し、これにより得た層厚6nmの窒化酸化シリコン層からなる。その窒化酸化シリコン層の窒素濃度分布は図5のようである。

【0046】第6のMOSトランジスタのゲート絶縁層

10

は、急速熱処理装置内の  $\text{NH}_3$  ガスを含む  $850^\circ\text{C}$  の雰囲気中にシリコン基板表面の層厚5.3nmの酸化シリコン層を晒し、その後に、第4のMOSトランジスタのゲート絶縁層と同じ条件で  $\text{N}_2$  ガス、 $\text{N}_2\text{O}$  ガス中に順に晒し、これにより得た層厚6nmの窒化酸化シリコン層からなる。その窒化酸化シリコン層の窒素濃度分布は図6のようである。

【0047】以上のような第1～第6のMOSトランジスタにホウ素をイオン注入した場合の閾値電圧を測定した。そのイオン注入は、第1～第6のMOSトランジスタに対してホウ素イオン ( $\text{B}^+$ ) とフッ化ホウ素イオン ( $\text{BF}_2^+$ ) の2種類行った。 $\text{B}^+$  のイオン注入の条件（以下、第1の注入条件という）は、ゲート電極の下の層厚6nmのピュアな酸化シリコン層をホウ素イオンが突き抜けない条件であって、加速エネルギーを9keV、ドーズ量を  $2 \times 10^{15} \text{atoms/cm}^2$  とした。また、 $\text{BF}_2^+$  のイオン注入の条件（以下、第2の注入条件という）は、ゲート電極の下の層厚6nmのピュアな酸化シリコン層をホウ素イオンが突き抜ける条件であり、加速エネルギーを30keV、ドーズ量を  $2 \times 10^{15} \text{atoms/cm}^2$  とした。

【0048】また、その実験で使用したMOSトランジスタのゲート長（ソース・ドレイン方向の長さ）は0.5  $\mu\text{m}$ 、ゲート幅（ゲート長に対して直交する方向の幅）は5  $\mu\text{m}$  であり、ゲート電極に印加する電圧は0.5Vから-2.5VでON、OFFし、さらに、ドレイン電圧を-2.5Vに設定した。また、閾値電圧は面内において200点測定し、その平均を求めた。

【0049】これにより図7(a)、(b)のような結果が得られた。なお、図7(a)、(b)において、第2の注入条件で  $\text{BF}_2^+$  をイオン注入した後に温度  $800^\circ\text{C}$  でシリコン基板を60分間加熱している。これは、熱によりホウ素を拡散させることにより、ホウ素がゲート絶縁層を抜け易くするためである。ゲート絶縁層がピュアな酸化シリコンから構成される場合には、当然のことながら、窒素に依存するゲート電圧の閾値の変動は起こらないことになる。そこで、ピュアな酸化シリコン層をゲート絶縁層とした第2のMOSトランジスタについて、第1の注入条件と第2の注入条件による閾値電圧  $V_{th}$  への影響を見ると、図7(a)の界面窒素濃度0で示すように、第2の注入条件による方が第1の注入条件の場合よりもプラス側に0.4Vだけ大きくなった。即ち、ゲート電極及びゲート絶縁層のホウ素イオンの突き抜けによって閾値電圧には0.4Vの差が生じることがわかる。

【0050】これに対して、第1のMOSトランジスタのゲート絶縁層のように、その内部に窒素を含み、かつその窒素濃度が層厚方向にブロードに広がっている場合には、第1の注入条件と第2の注入条件では、図7(b)に示すように、閾値電圧  $V_{th}$  は同じであって差が生じるとはなかった。すなわち、第2の注入条件による結果と第1の注入条件による結果が同じということは、第2の

(7)

11

注入条件によってもホウ素がゲート絶縁層を突き抜けないといことを意味している。

【0051】また、ゲート絶縁層と基板との界面に窒素濃度のピークがある第3～第6のMOSトランジスタを比較すると、図7(a)に示すように、ホウ素イオンの抜けが生じない第1の注入条件では、ゲート絶縁層を構成する窒化酸化シリコン層中の窒素濃度が増えるにつれて閾値電圧がマイナス側にシフトしていることがわかる。さらに、第3～第6のMOSトランジスタを比較すると、ホウ素イオンの抜けが生じる第2の注入条件では、第1の注入条件と同じように、ゲート絶縁層を構成する窒化酸化シリコン層中の窒素濃度が増えるにつれて閾値電圧がマイナス側にシフトしているが、第1の注入条件による場合よりもプラス側にシフトしている。プラス側にシフトするのは、ホウ素イオンがゲート絶縁層を突き抜けてシリコン基板に入り込んでいるからである。

【0052】さらに、シリコン基板と窒化酸化シリコン層の境界の窒素濃度が10%以上とかなり高濃度な窒素が導入されるようになると、第1の注入条件を行ったMOSトランジスタと第2の注入条件を行ったMOSトランジスタのそれぞれの閾値電圧 $V_{th}$ が一致するようになる。閾値電圧 $V_{th}$ が一致するということは、窒化酸化シリコン層のホウ素の突き抜けが防止されることを意味する。

【0053】これに対して、第1のMOSトランジスタにおいては、図7(b)に示すように、ホウ素を第1の注入条件でイオン注入しても第2の注入条件でイオン注入しても、同じ閾値電圧 $V_{th}$ が得られ、その閾値電圧 $V_{th}$ は、図7(a)に示す界面窒素濃度が2%の場合と同じとなり、しかも、ピュアな酸化シリコンのゲート絶縁層を有する第2のMOSトランジスタの閾値電圧に比べてわずかに約0.1Vだけマイナス側にシフトしている。そのシフトは、ゲート絶縁層中の窒素によるものと考えられる。

【0054】このように、窒素濃度が層厚方向にブロードに変化している窒化酸化シリコン層中では、不純物イオンの突き抜けが防止されるとともに、閾値電圧の変動も抑制される。しかも、その窒化酸化シリコン層中の窒素の面内分布もほぼ均一となっていた。その窒化酸化シリコン層とシリコン基板の界面での窒素濃度は低くてもそれらの効果があるので、窒素によるキャリアトラップの数が少なくなってトランジスタの特性の変動が抑制される。

【0055】これに対して、ソース/ドレイン領域では、窒素の濃度分布のピークがシリコン基板と窒化酸化シリコン層の境界に存在するので、ホットキャリアをブロックするためには十分である。しかも、そのピークを高くしてもゲート電圧の閾値の変動には殆ど影響を及ぼさないの、そのピークの窒素濃度を高くすることによってホットキャリア耐性をさらに向上させることができ

12

る。

【0056】したがって、上記したような第1例及び第2例で説明した工程を経て形成されたMOSトランジスタは、ゲート電極の下ゲート絶縁層によって不純物イオンの突き抜けを防止する一方で、ゲート電極の側方の絶縁層によってホットキャリア耐性を高くすることができる。以上の説明では、層厚6nmのゲート絶縁層について議論してきたが、次世代の半導体装置に用いられる極薄のゲート絶縁層についても有効である。例えば、層厚4.2nmの窒化酸化シリコン層について、縦型拡散炉内の900℃の $N_2O$ ガスを含む900℃の雰囲気中にシリコン基板をさらすことによって、層中に約2.5%程度の窒素濃度がブロードに存在する窒化酸化シリコン層の形成が可能になり、その窒化酸化シリコンの元素分布は図8のようになった。この図8及び上記した図3～図6において、窒素濃度はオージェ分析による値を基にして検量線を引いて、SIMS分析結果の強度からもとめた大きさである。

【0057】なお、ゲート電極の下ゲート絶縁層を窒化酸化絶縁物によって形成する場合には、ゲート電極とゲート絶縁層の界面に窒素濃度のピークが存在するようにしてもよい。また、上記した説明では、不純物としてホウ素を用いたが、その他のp型不純物、或いは砒素、燐などのn型不純物を用いてもよい。

【0058】さらに、上記した実施形態の他に、ゲート電極の下ゲート絶縁層を窒化酸化シリコンから形成し、その窒素濃度分布をブロードにするとともに、ソース/ドレイン領域の表面にピュアな酸化シリコンよりなる絶縁層を形成してもよい。酸化シリコンよりなる絶縁層を形成する工程としては、図1(b)に示すようにゲート電極を形成した後に、ゲート電極の両側の窒化酸化シリコン層を除去し、さらに、窒化酸化シリコン層を除去した部分のシリコン基板の表面を再酸化する方法がある。この場合、ドレイン領域の不純物濃度やゲート長などの条件によってホットキャリア効果が少なく、しかも、ゲート電極の縁部での耐圧劣化防止を図りたい場合や、膜厚を安定して得たい場合には最適である。膜厚を安定して得たい場合としては、例えばLDD構造の浅い不純物拡散層を形成する際にイオン注入によって入る不純物の深さを安定させたい場合がある。

【0059】また、窒化酸化シリコン層を除去する場合には、僅かでも窒化酸化シリコン層を残しておき、その後でシリコン基板の表面を酸化する方法もある。この場合には僅かであるが窒素を含むためにホットキャリア耐性は少し期待できる。また、その工程によれば、シリコン基板の表面を露出させないので、基板のダメージやエッチングが防止される。

【0060】

【発明の効果】以上述べたように本発明によれば、MISトランジスタの半導体基板とゲート電極の間のゲート

(8)

13

絶縁層として使用する第1の窒化酸化層内の膜厚方向の窒素濃度分布と、ゲート電極の両側方でソース/ドレイン領域を覆う絶縁層として使用する第2の窒化酸化層内の膜厚方向の窒素濃度分布を異ならせるようにし、例えば第1の窒化酸化層の窒素濃度分布としては、ブロードに窒素を分布させたりゲート電極との界面に窒素を偏析させ、さらに、第2の窒化酸化層の窒素濃度分布として半導体基板との界面に窒素を偏析させるようにしたので、これにより、第1の窒化酸化層での窒素濃度分布により、不純物イオン注入の際に突き抜けにくく且つキャリアトラップが少なくするとともに、第2の窒化シリコン層での窒素濃度分布によりホットキャリア耐性を向上することができる。

#### 【図面の簡単な説明】

【図1】図1(a)～(d)は、本発明の実施形態におけるMOSトランジスタの第1の工程を示す断面図である。

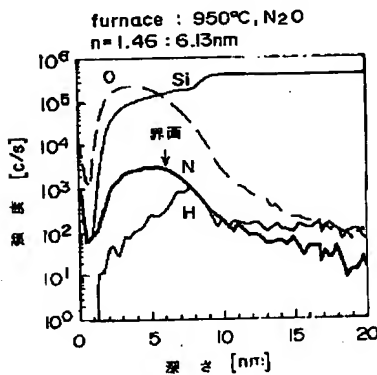
【図2】図2(a)～(d)は、本発明の実施形態におけるMOSトランジスタの第2の工程を示す断面図である。

【図3】図3は、本発明の実施形態に係るMOSトランジスタのゲート絶縁層として使用される窒化酸化層の構成元素の濃度分布を示す図であり、縦軸は対数目盛、横軸は比例目盛りである（目盛については図4、図5、図6及び図8も同様である）。

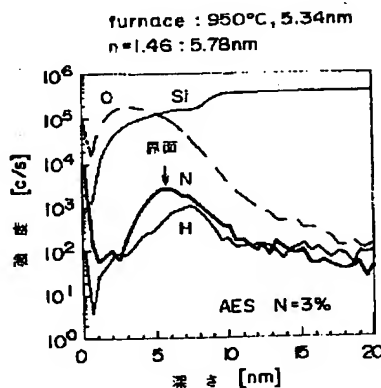
【図4】図4は、本発明の実施形態に係るMOSトランジスタのソース/ドレイン領域を覆う第1の窒化酸化層の構成元素の濃度分布を示す図である。

【図5】図5は、本発明の実施形態に係るMOSトランジスタのソース/ドレイン領域を覆う第2の窒化酸化層の構成元素の濃度分布を示す図である。

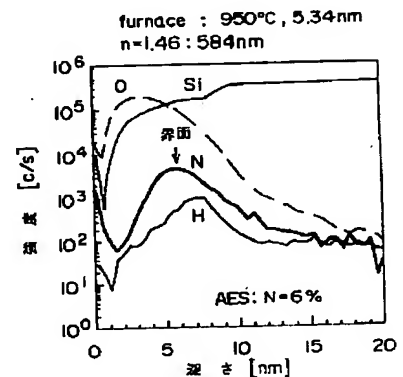
【図3】



【図4】



【図5】



14

【図6】図6は、本発明の実施形態に係るMOSトランジスタのソース/ドレイン領域を覆う第3の窒化酸化層の構成元素の濃度分布を示す図である。

【図7】図7(a)は、SiO<sub>2</sub>層と窒素が偏析した4種類のSiON層のそれぞれに注入条件を変えてホウ素をイオン注入した後のMOSトランジスタの閾値の変化を示す特性図、図7(b)は、膜厚方向に窒素がブロードに分布するSiON層に注入条件を変えてホウ素をイオン注入した後のMOSトランジスタの閾値の変化を示す特性図であり、図7(a), (b)の縦軸及び横軸は比例目盛である。

【図8】図8は、本発明の実施形態に係るMOSトランジスタのゲート絶縁層として使用される膜厚4.3nmの窒化酸化層の構成元素の濃度分布を示す図である。

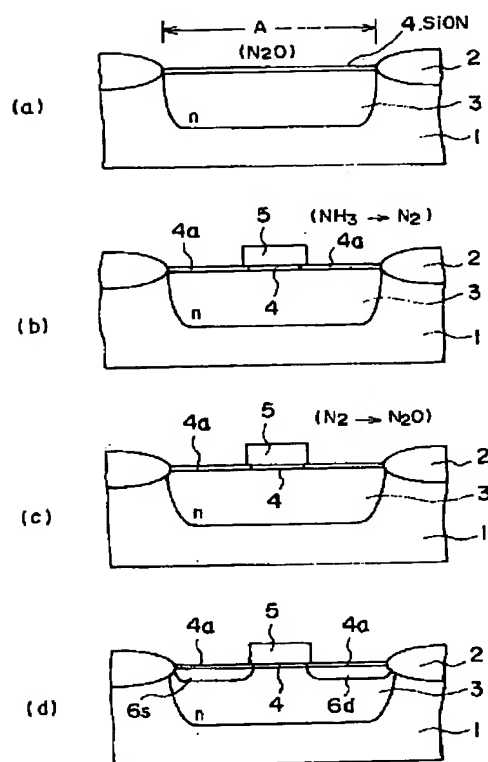
【図9】図9(a)～(d)は、従来の一般的なMOSトランジスタの製造工程を示す断面図である。

#### 【符号の説明】

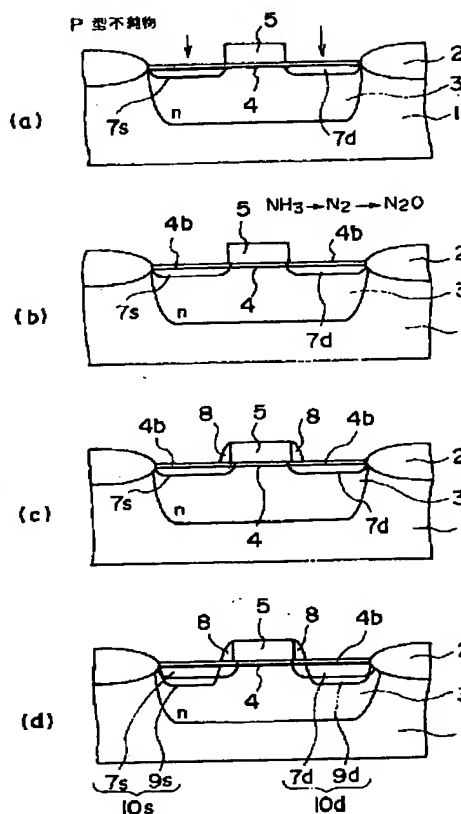
- 1 シリコン基板（半導体基板）
- 2 素子分離酸化層
- 3 nウェル
- 4 窒化酸化シリコン層（ゲート絶縁層）
- 4 a, 4 b 窒化酸化シリコン層
- 5 ゲート電極
- 6 s ソース層
- 6 d ドレイン層
- 7 s, 7 d 低濃度不純物拡散層
- 8 サイドウォール
- 9 s, 9 d 高濃度不純物拡散層
- 10 s ソース領域
- 10 d ドレイン領域

(9)

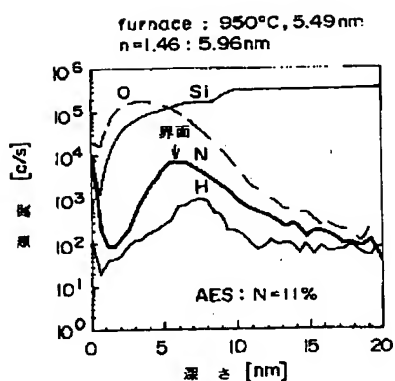
【図1】



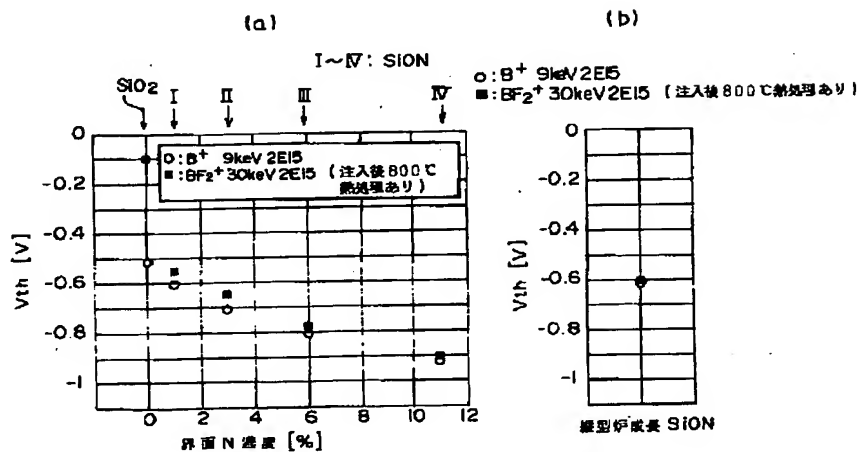
【図2】



【図6】

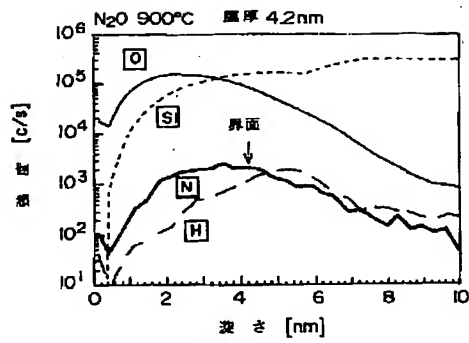


【図7】



(10)

【図 8】



【図 9】

